

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-28940

⑬ Int.Cl.⁴

H 01 L 21/82
27/08

識別記号

3 3 1

庁内整理番号

7925-5F
B-7735-5F

⑭ 公開 昭和64年(1989)1月31日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 昭62-185913

⑰ 出 願 昭62(1987)7月24日

⑱ 発 明 者 薄 井 敏 正 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

所定の回路素子を有する内部セルが半導体チップに規則的に配置され、該内部セルを取囲むように、半導体チップの周辺部にCMOSTランジスタを用いて構成された入出力バッファが規則的に配列された半導体集積回路装置において、

該入出力バッファを構成するCMOSTランジスタの構成素子であるPMOSTランジスタとNMOSTランジスタとをそれぞれ完全に取囲むN⁺型層およびP⁺型層と、

前記N⁺型層とP⁺型層上において、表面絶縁膜を介して設けられ、かつ、前記表面絶縁膜に設けられた複数のコンタクトホールを介して、または、この表面絶縁膜において各層に沿って設けられた開口部を介して各層に接続され、それぞれ、最高動作電位および最低動作電位に固定された導体配線とを有することを特徴とする半導体集積回

路装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体集積回路装置(IC)に関し、特に、CMOSTランジスタを用いたゲートアレーに関する。

(従来技術)

CMOSを用いたICは、SOS(シリコン・オン・サファイヤ)やSOI(シリコン・オン・インシュレータ)でない限り、必然的に寄生サイリスタが存在し、ラッチアップ現象を起す危険性があるが、近年のCMOSゲートアレーの高速化、高集積化に伴って、ラッチアップ耐量の向上がよりいっそう求められるようになっている。

従来技術の一例として、特開昭60-247959号公報に記載されているように、PチャンネルMOSトランジスタとNチャンネルMOSトランジスタとの間に、それぞれ低電位および高電位に固定された拡散層を設けるものがある。

第6図は後述する本発明の実施例の対象となる

CMOSゲートアレーの従来例のレイアウト図、第7図は第6図の入出力バッファ20のレイアウト図、第8図は第7図のB-B線に沿う矢視図、第9図は第7図のC-C線に沿う矢視図である。

本従来例のCMOSゲートアレーは、PMOSTランジスタ、NMOSTランジスタ、抵抗等が形成された内部セルアレイ21が、半導体基板19において規則的に配置されて内部セルアレイが構成され、この内部セルアレイ間に配線領域26が設けられ、内部セル21を取囲むように半導体基板19の周辺部において複数の入出力バッファ20が規則的に配置されている。

入出力バッファ20は、ボンディングワイヤ（不図示）が接続されるパッド1と、ICの処理信号をボンディングワイヤを介して外部へ出力するための出力回路を構成するのに使用されるNMOSTランジスタ28、PMOSTランジスタ29と、ボンディングワイヤを介して外部から入力する信号を増幅等するための入力回路、あるいは上述した出力回路を駆動するための駆動回路（これらを総称してプリ

いる。

また、N型ガード層6およびP⁺型ガード層7は、NMOSTランジスタ28とPMOSTランジスタ29との間およびPMOSTランジスタ29とPMOSTランジスタ30、NMOSTランジスタ31との間に設けられており、第9図中には図示されないが、それぞれ、電源V_{DD}、グラウンドGNDに接続されている。

第8図に示すように、上述した各トランジスタは、半導体基板19内に形成されているが、構造上、必然的に、寄生バイポーラトランジスタQ_a、Q_b、Q_cが存在し、端子22からトリガー電流が入力すると、トランジスタQ_aを介してトランジスタQ_cにベース電流が供給され、最終的に、トランジスタQ_b、Q_cがオンして寄生サイリスタが構成され、ラッチアップが発生する危険性が常に存在する。

しかし、上述の従来例では、N型ガード層6、N⁺型ガード層7と、P⁺型ガード層5、9とが設けられており、注入されたトリガー電流（ホール、電子）を効果的に吸収し、ラッチアップが発

生しないように対策されている。上述のトランジスタ28、29に比べ、素子サイズが小さいNMOSTランジスタ31、PMOSTランジスタ30からなっている。

NMOSTランジスタ28は、ポリシリコンゲート3a、ソース・ドレインを構成するN型拡散層4とからなり、P⁺型ガード層2がその周囲を取囲んで形成されている。

P⁺型ガード層2は、第7図には図示されないが、最低動作電位であるグラウンドGNDに固定されている。PMOSTランジスタ29は、ポリシリコンゲート3bと、N型ウェル23内に設けられたソース・ドレインを構成するP型拡散層8と、最高動作電位である電源V_{DD}に接続されたN⁺型ガード層7とからなっている。PMOSTランジスタ30、NMOSTランジスタ31も同様であり、それぞれP型拡散層12、ポリシリコンゲート3d、電源V_{DD}に接続されたN⁺型拡散層10と、Nウェル24、N型拡散層11、ポリシリコンゲート3c、グラウンドGNDに接続されたP⁺ガード層9とからなっ

て生しないように対策されている。

（発明が解決しようとする問題点）

上述した従来のゲートアレーは、プリバッファを構成するためのPMOSTランジスタ30とNMOSTランジスタ31との対向部分には、直接トリガー信号が入力される場合が極めて少ない、あるいはチップ面積の増加を最小限にするという理由から、N⁺ガード層10、P⁺ガード層9が設けられていない。このため、ICの高集積化が進められ、素子間距離が狭くなると、出力回路を構成するためのPMOSTランジスタ29のソース（ドレイン）8等から注入されるトリガー電流が、PMOSTランジスタ30、NMOSTランジスタ31にまわりこみ、上述のガード層が設けられていない部分から注入され、第9図に示すように寄生バイポーラトランジスタQ_aがオンし、つづいて、寄生バイポーラトランジスタQ_bがオンし、PMOSTランジスタ30とNMOSTランジスタ31がオンしてラッチアップが発生するという欠点があることが本発明者の検討により明らかとなった。

(問題点を解決するための手段)

本発明の半導体集積回路装置は、

該入出力バッファを構成するCMOSトランジスタの構成素子であるPMOSTランジスタとNMOSTランジスタとをそれぞれ完全に取り囲むN⁺型層およびP⁺型層と、

前記N⁺型層とP⁺型層上において、表面絶縁膜を介して設けられ、かつ、前記表面絶縁膜に設けられた複数のコンタクトホールを介して、または、この表面絶縁膜において各層に沿って設けられた開口部を介して各層に接続され、それぞれ、最高動作電位および最低動作電位に固定された導体配線とを有している。

(作用)

ラッチアップを発生させる危険のあるPMOSTランジスタとNMOSTランジスタとを、それぞれN⁺型拡散層、P⁺型拡散層とで完全に取り囲み、かつ、それぞれの拡散層に、十分な数のコンタクトホール等を介して低インピーダンスの導体配線を接続し、最高動作電位および最低動作電位

成された絶縁膜(SiO₂膜)17に設けられた多数のコンタクトホール13を介して各ガードリング層32、33に接続したものである。

本実施例によれば、第4図に示されるようにラッチアップを起す危険性のあるNMOSTランジスタ31、PMOSTランジスタ30の対向する部分にもP⁺ガードリング層32、N⁺ガードリング層33が存在するため、ラッチアップのトリガー電流は、グランド(GND)および電源(V_{DD})に効果的に吸収され、寄生トランジスタQ₀、Q_Eのベース電流が供給され難くなり、これらのトランジスタがオンすることが防止される。

しかし、このP⁺ガードリング層32、N⁺ガードリング層33の拡散層の幅は、高集積化にともなうレイアウトスペースの縮小により、数μm程度しかとれないため、それ自体のインピーダンスはかなり高くなる。したがって、このガードリング層だけではトリガー電流を効果的に吸収することがむずかしい。

そこで、低インピーダンスであるアルミニウム

に完全に固定することにより、寄生トランジスタのベース電流が効果的に吸収され、これがオンしにくくなり、ラッチアップ耐量を向上することが可能となる。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の半導体集積回路装置の一実施例のレイアウト図、第2図は第1図のNMOSTランジスタ31の詳細な拡大レイアウト図、第3図は第2図のD-D線に沿う矢視断面図、第4図は第1図のA-A線に沿う矢視断面図である。

本実施例のゲートアレイは、第7図の従来例のゲートアレイにおいて、P⁺型ガード層9、N⁺型ガード層10の代わりにPMOSTランジスタ30、NMOSTランジスタ31を完全に取り囲むN⁺型ガードリング層33、P⁺型ガードリング層32を設け、さらに、第2図に示すように、これらのガードリング層上にアルミニウム配線18を設け、このアルミニウム配線18を半導体基板19の主面上に形

ム配線18を複数のコンタクトホール13を介して接続し、各ガードリング層32、33を実質的に低インピーダンス化し、各ガードリング層の電位を完全にグランドあるいは電源電位に固定している。

また、本実施例では、多数のコンタクトホール13を介してアルミニウム配線18を各ガードリング層32、33に接続しているが、これに限定されるものではなく、プロセス技術上許容されるならば、各ガードリング層32、33に沿って絶縁膜17に細長の開口部を設け、アルミニウム配線18をフルコンタクトさせてもよい。この場合、各ガードリング層32、33の実質的な低インピーダンス化がより促進され、ラッチアップ防止効果が高まる。

第5図は本発明の他の実施例のレイアウト図である。

上述の実施例のNMOSTランジスタ31、PMOSTランジスタ30の配置を変更し、ラッチアップを起こしやすいNMOSTランジスタ31を、トリガー電流発生源となるPMOSTランジスタ29から、より遠い位置に配置して、ラッチアップを防止する機能を強

化したものである。

なお、本実施例では、NMOSTランジスタ31、PMOSTランジスタ30は、第1図の場合と比べて、横方向にその面積を拡大することができ、その分、ポリシリコンゲート3c、3dの数を増加させている。

(発明の効果)

以上説明したように本発明は、従来、注目されていなかったプリバッファを構成するNMOSTランジスタおよびPMOSTランジスタを、それぞれ、P⁺型拡散層(ガードリング層)、N⁺型拡散層(ガードリング層)で完全に取り囲み、かつ、それぞれの拡散層に、アルミニウム等の低インピーダンス導体配線を十分な数のコンタクトホールまたは開口部を介して接続し、それぞれを最低動作電位および最高動作電位に固定することにより、ラッチアップ耐量の向上を図ることができるという効果がある。

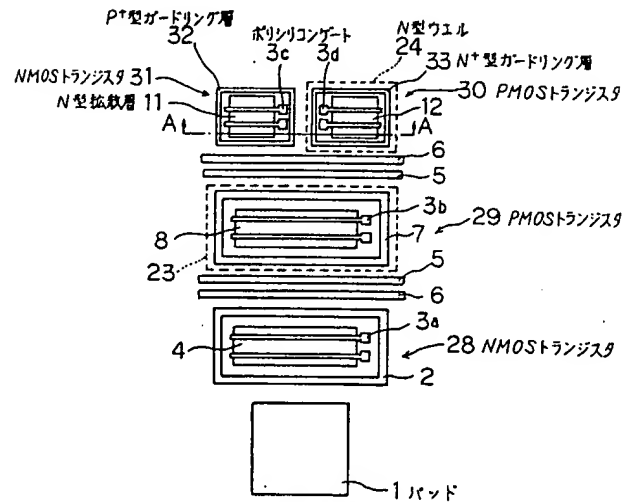
4. 図面の簡単な説明

第1図は本発明の半導体集積回路装置の一実施

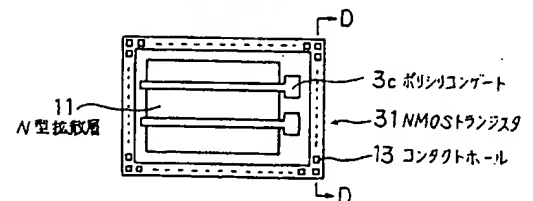
例のレイアウト図、第2図は第1図のNMOSTランジスタ31の詳細な拡大レイアウト図、第3図は第2図のD-D線に沿う矢視断面図、第4図は第1図のA-A線に沿う矢視断面図、第5図は本発明の他の実施例のレイアウト図、第6図は本発明の実施例の対象となるCMOSゲートアレーの従来例のレイアウト図、第7図は第6図の入出力バッファ20のレイアウト図、第8図は第7図のB-B線に沿う矢視図、第9図は第7図のC-C線に沿う矢視図である。

- 1・・・パッド、
- 2・・・P⁺型ガード層、
- 3a～3d・・・ポリシリコンゲート、
- 4・・・N型拡散層、
- 5・・・P⁺型ガード層、
- 6・・・N⁺型ガード層、
- 7・・・N⁺型ガード層、
- 8・・・P型拡散層、
- 9・・・P⁺型ガード層、
- 10・・・N⁺型ガード層、

- 11・・・N型拡散層、
- 12・・・P型拡散層、
- 13・・・コンタクトホール、
- 17・・・絶縁膜、
- 18・・・アルミニウム配線、
- 19・・・半導体基板、
- 20・・・入出力バッファ、
- 21・・・内部セル、
- 23、24・・・Nウェル、
- 26・・・配線領域、
- 28、31・・・NMOSTランジスタ、
- 29、30・・・PMOSTランジスタ、
- 32・・・P⁺型ガードリング層、
- 33・・・N⁺型ガードリング層、



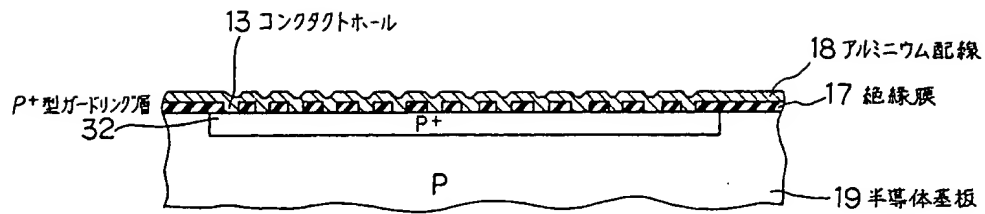
第1図



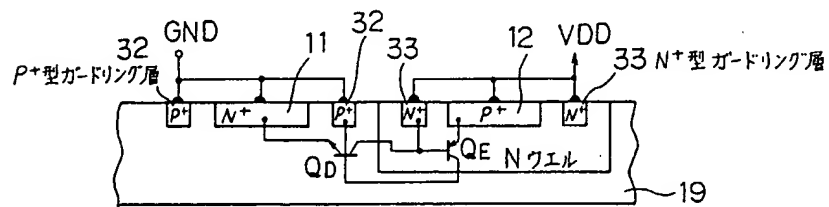
第2図

特許出願人 日本電気株式会社
代理人 弁理士 内原 晋

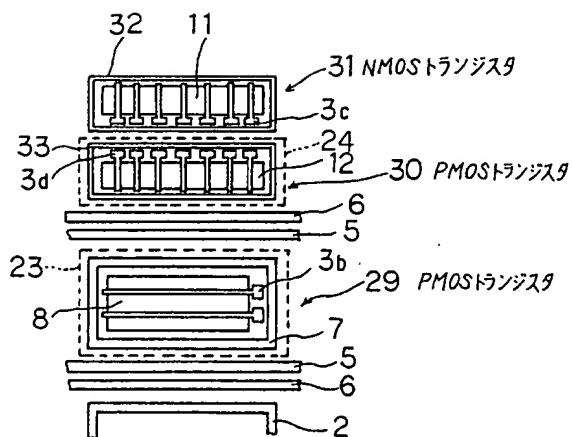




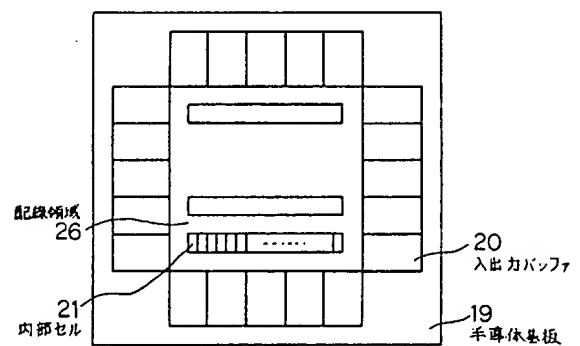
第3図



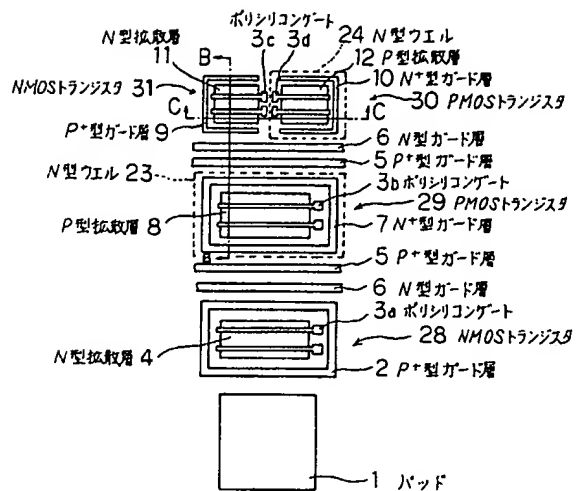
第4図



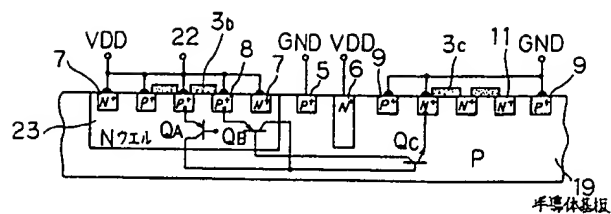
第5圖



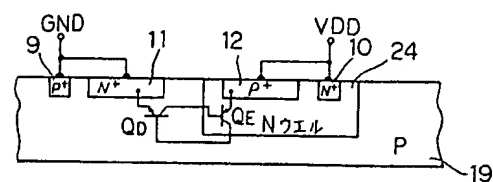
第 6 圖



第7回



第 8 図



第9圖